

Docket No.: 63979-040

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Kenji TOYODA, et al. : Confirmation Number:
: :
Serial No.: : Group Art Unit:
: :
Filed: February 25, 2004 : Examiner:
: :
For: A NON-VOLATILE LATCH CIRCUIT AND A DRIVING METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

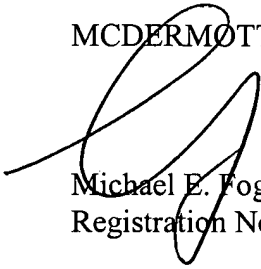
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-374496, filed December 25, 2002

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: February 25, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

63979-040
Toyoda et al.
February 25, '04

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 2 5 日

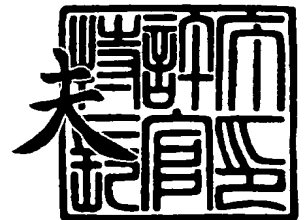
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 7 4 4 9 . 6
[ST. 10/C]: [J P 2 0 0 2 - 3 7 4 4 9 6]

出 願 人
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 3 年 9 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 7 5 8 9 3

【書類名】 特許願

【整理番号】 2030240040

【提出日】 平成14年12月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10 421
H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 健治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大塚 隆

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森本 廉

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性ラッチ回路及びその駆動方法

【特許請求の範囲】

【請求項 1】 第 1 の電極、第 2 の電極及び上記第 1、第 2 の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、

上記強誘電体キャパシタの上記第 2 の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有する P M I S F E T と、

上記強誘電体キャパシタの上記第 2 の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有する N M I S F E T と、

上記強誘電体キャパシタの第 1 の電極に接続される第 1 の端子と、

上記 P M I S F E T 及び N M I S F E T の各ドレイン領域に接続される第 2 の端子と、

上記 P M I S F E T 及び N M I S F E T の各ソース領域に電位差のある第 1、第 2 の電圧をそれぞれ供給するための第 1、第 2 の端子とを備えている不揮発性ラッチ回路。

【請求項 2】 請求項 1 記載の不揮発性ラッチ回路において、

上記強誘電体キャパシタの上記第 2 の電極に信号を供給するための第 3 の端子と、

上記強誘電体キャパシタの上記第 2 の電極と上記第 3 の端子との間に介設されたスイッチング素子と

をさらに備えていることを特徴とする不揮発性ラッチ回路。

【請求項 3】 請求項 1 又は 2 記載の不揮発性ラッチ回路において、

上記強誘電体膜に残留する分極によって上記各 M I S F E T のゲート電極に生じる電位が、上記 N M I S F E T のしきい値電圧よりも高くなるように設計されていることを特徴とする不揮発性ラッチ回路。

【請求項 4】 第 1 の電極、第 2 の電極及び上記第 1、第 2 の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第 2 の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有する P M I S F E T と、上記強誘電体キャパシタの上記第 2 の電極に接続

されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するNMISFETと、上記強誘電体キャパシタの第1の電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、

上記第1及び第3の端子に第1の電圧を印加し、上記スイッチング素子をオンすることにより、上記第2の端子から出力される信号を高論理値とするように書き込むステップ(a)と、

上記スイッチング素子をオンにした状態で上記第3の端子に第3の電圧を印加し、上記第1の端子に上記第3の電圧よりも高い第4の電圧を印加することにより、上記第2の端子から出力される信号を低論理値とするように書き込むステップ(b)と、

上記第1及び第3の端子に上記第1の電圧を印加することにより、上記ステップ(a)又は(b)で書き込まれた論理値を読み出すステップ(c)とを含む不揮発性ラッチ回路の駆動方法。

【請求項5】 請求項4記載の不揮発性ラッチ回路の駆動方法において、

上記ステップ(a)、(b)及び(c)では、上記第1及び第3の電圧として0Vの電圧を印加することを特徴とする不揮発性ラッチ回路の駆動方法。

【請求項6】 第1の電極、第2の電極及び上記第1、第2の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するPMISFETと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するNMISFETと、上記強誘電体キャパシタの第1の電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介

設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、

上記第 1 及び第 3 の端子に第 1 の電圧を印加し、上記スイッチング素子をオンすることにより、上記第 2 の端子から出力される信号を高論理値とするように書き込むステップ (a) と、

上記第 1 及び第 3 の端子に第 3 の電圧を印加し、上記スイッチング素子をオンにした後第 1 の時間が経過したときに、上記第 1 の端子に上記第 3 の電圧よりも高い第 4 の電圧を印加し、その後第 2 の時間が経過したときに、上記第 1 の端子に上記第 4 の電圧を印加したままで、上記スイッチング素子をオフにすることにより、上記第 2 の端子から出力される信号を低論理値とするように書き込むステップ (b) と、

上記第 1 及び第 3 の端子に上記第 1 の電圧を印加することにより、上記ステップ (a) 又は (b) で書き込まれた論理値を読み出すステップ (c) とを含む不揮発性ラッチ回路の駆動方法。

【請求項 7】 請求項 6 記載の不揮発性ラッチ回路の駆動方法において、

上記ステップ (a), (b) 及び (c) では、上記第 1 及び第 3 の電圧として 0 V の電圧を印加することを特徴とする不揮発性ラッチ回路の駆動方法。

【請求項 8】 請求項 6 又は 7 記載の不揮発性ラッチ回路の駆動方法において、

上記ステップ (b) では、上記第 4 の電圧として、上記第 2 の電圧よりも高い電圧を印加することを特徴とする不揮発性ラッチ回路の駆動方法。

【請求項 9】 第 1 の電極、第 2 の電極及び上記第 1, 第 2 の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第 2 の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有する PMISFET と、上記強誘電体キャパシタの上記第 2 の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有する NMISFET と、上記強誘電体キャパシタの第 1 の電極に接続される第 1 の端子と、上記 PMISFET 及び NMISFET の各ドレイン領域に接続される第 2 の端子と、上記強誘電体キャパシタの上記第 2 の電極に信号を供給するための第 3 の

端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、

上記第1及び第3の端子に第1の電圧を印加し、上記スイッチング素子をオンにした後第1の時間が経過したときに、上記スイッチング素子をオンにした状態で、上記第3の端子に上記第1の電圧よりも高い第3の電圧を印加し、その後、第2の時間が経過した後に上記スイッチング素子をオンにしたままで、上記第3の端子の電圧を上記第1の電圧に戻すことにより、上記第2の端子から出力される信号を高論理値とするように書き込むステップ(a)と、

上記第1及び第3の端子に第3の電圧を印加し、上記スイッチング素子をオンにした後第4の時間が経過したときに、上記第1の端子に上記第3の電圧よりも高い第4の電圧を印加し、その後、第5の時間が経過したときに、上記第1の端子に上記第4の電圧を印加したままで、上記スイッチング素子をオフにすることにより、上記第2の端子から出力される信号を低論理値とするように書き込むステップ(b)と、

上記第1及び第3の端子に上記第1の電圧を印加することにより、上記ステップ(a)又は(b)で書き込まれた論理値を読み出すステップ(c)とを含む不揮発性ラッチ回路の駆動方法。

【請求項10】 請求項9記載の不揮発性ラッチ回路の駆動方法において、上記ステップ(a)、(b)及び(c)では、上記第1及び第3の電圧として0Vの電圧を印加することを特徴とする不揮発性ラッチ回路の駆動方法。

【請求項11】 請求項9又は10記載の不揮発性ラッチ回路の駆動方法において、

上記ステップ(b)では、上記第4の電圧として、上記第2の電圧よりも高い電圧を印加することを特徴とする不揮発性ラッチ回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体を用いた不揮発性メモリ機能を有するラッチ回路とその駆

動方法に関する。

【 0 0 0 2 】

【従来の技術】

従来より、半導体集積回路は種々の電子機器に使用され、半導体集積回路を構成するM I Sトランジスタの微細化および半導体集積回路自体の大規模集積化が進んでいる。しかし、M I Sトランジスタ等の微細化に伴い、リーク電流も増大することから、消費電力の増大が問題となっている。特に、メモリセルにM I Sトランジスタを用いるD R A MやS R A Mなどにおいては、消費電力の増大は深刻な問題である。

【 0 0 0 3 】

このため、最近では、電源を切っても情報が保持されるメモリである不揮発性メモリが注目されている。不揮発性メモリの場合、電源を切っても情報が保持されるので、電源切断時の状態に復帰するための動作が不要となり、消費電力を低減することが可能となる。そこで、不揮発性記憶機能を有する容量部と、情報の書き込み、読み出し等を制御するためのトランジスタとを一体化したものとして、M F M I S (Metal Ferroelectrics Metal Insulator Semiconductor) がある。M F M I Sは、フローティングゲート型トランジスタにおいて、そのトランジスタのフローティングゲート電極とその上部電極であるコントロール電極との間に容量絶縁膜として強誘電体膜を用いた構造である。つまり、M F M I S構造は、強誘電体膜に生じる自発分極に応じてトランジスタのしきい値が実効的に変化することを利用して、強誘電体膜中の情報の読み出しを行なうものである。このように、M F M I Sを利用したメモリは、1トランジスタで構成されるため、究極のメモリとして期待されている。

【 0 0 0 4 】

【特許文献1】

特開平 8 - 9 7 3 8 6 号公報 (要約書)

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、このM F M I S構造は、コントロールゲートとフローティング

ゲートとの間に介在する強誘電体膜を容量とする強誘電体キャパシタと、フローティングゲートと半導体基板との間に介在するゲート絶縁膜を容量とする常誘電体キャパシタとが直列に接続された構造を有している。そして、情報の書き込み時において、コントロールゲートと半導体基板との間に電圧が印加されると、各キャパシタの容量に応じた電圧が各キャパシタに分配される。強誘電体キャパシタに分配される電圧は、強誘電体キャパシタの常誘電体キャパシタに対する相対的容量が小さいほど大きい。したがって、強誘電体膜に大きな分極を誘起しようとする、常誘電体キャパシタの容量を強誘電体キャパシタの容量よりも大きくすることが望まれる。しかし、強誘電体膜の誘電率は、通常、ゲート絶縁膜の誘電率より非常に大きいので、コントロールゲート－基板間に印加される電圧は、ゲート絶縁膜の方に大きく分配されてしまう。その結果、従来のMFMI Sにおいては、書き込み電圧を大きくせざるを得ず、半導体集積回路の低電圧化の要請に反することになる。

【0006】

また、MFMI S構造では、情報の書き込み時と同様に、情報の読み出し時にもMFMI Sのコントロール電極に電圧を印加させることが必要になる。このため、強誘電体膜に電圧を印加する回数が増大し、分極反転の繰り返しによる強誘電体特性の劣化の問題が生じる。

【0007】

本発明の第1の目的は、強誘電体キャパシタへの電圧の分配比を大きくする手段を講ずることにより、半導体集積回路の低電圧化に適したMFMI S型トランジスタを用いた回路要素及びその駆動方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明の不揮発性ラッチ回路は、第1の電極、第2の電極及び上記第1、第2の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するPMISFETと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域

を有するNMISFETと、上記強誘電体キャパシタの第1の電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記PMISFET及びNMISFETの各ソース領域に電位差のある第1、第2の電圧をそれぞれ供給するための第1、第2の端子とを備えている。

【0009】

これにより、PMISFET及びNMISFETの各MISキャパシタを並列に接続してなる常誘電体キャパシタが形成され、この常誘電体キャパシタの容量が、各MISFETのゲート絶縁膜の合計面積によって定まるので、従来のMF₂MIS構造に比べると、常誘電体キャパシタの容量が大きくなる。したがって、第1の電極に印加される電圧の強誘電体キャパシタへの分配比が、従来のMF₂MIS構造に比べると大きくなる。よって、強誘電体膜の残留分極による各MISFETのゲート電極への保持電位を高くすることが容易であり、読み出しの精度の向上を図ることができる。

【0010】

上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とをさらに備えていることにより、強誘電体キャパシタの残留分極の極性を変えずに、高論理値と低論理値とを書き込むなど、種々の書き込み方法を実現することができる。

【0011】

上記強誘電体膜に残留する分極によって上記各MISFETのゲート電極に生じる電位が、上記NMISFETのしきい値電圧よりも高くなるように設計されていることにより、誤読み出しを防止することができる。

【0012】

本発明の第1の不揮発性ラッチ回路の駆動方法は、第1の電極、第2の電極及び上記第1、第2の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するPMISFETと、上記強誘電体キ

ャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するNMISFETと、上記強誘電体キャパシタの第1の電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、上記第1及び第3の端子に第1の電圧を印加し、上記スイッチング素子をオンすることにより、上記第2の端子から出力される信号を高論理値とするように書き込むステップ(a)と、上記スイッチング素子をオンにした状態で上記第3の端子に第3の電圧を印加し、上記第1の端子に上記第3の電圧よりも高い第4の電圧を印加することにより、上記第2の端子から出力される信号を低論理値とするように書き込むステップ(b)と、上記第1及び第3の端子に上記第1の電圧を印加することにより、上記ステップ(a)又は(b)で書き込まれた論理値を読み出すステップ(c)とを含んでいる。

【0013】

この方法により、強誘電体に電圧印加される回数が減少し、強誘電体特性の劣化を抑制することができる。しかも、強誘電体キャパシタのヒステリシスループの片側のみを用いて、分極反転を行なわないので、強誘電体膜の疲労特性が良好になり、不揮発性ラッチ回路の信頼性の向上を図ることができる。

【0014】

上記ステップ(a)、(b)及び(c)では、上記第1及び第3の電圧として0Vの電圧を印加することにより、簡便な駆動方法とすることができる。

【0015】

本発明の第2の不揮発性ラッチ回路の駆動方法は、第1の電極、第2の電極及び上記第1、第2の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するPMISFETと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するNMISFETと、上記強誘電体キャパシタの第1の

電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、上記第1及び第3の端子に第1の電圧を印加し、上記スイッチング素子をオンすることにより、上記第2の端子から出力される信号を高論理値とするように書き込むステップ(a)と、上記第1及び第3の端子に第3の電圧を印加し、上記スイッチング素子をオンにした後第1の時間が経過したときに、上記第1の端子に上記第3の電圧よりも高い第4の電圧を印加し、その後第2の時間が経過したときに、上記第1の端子に上記第4の電圧を印加したままで、上記スイッチング素子をオフにすることにより、上記第2の端子から出力される信号を低論理値とするように書き込むステップ(b)と、上記第1及び第3の端子に上記第1の電圧を印加することにより、上記ステップ(a)又は(b)で書き込まれた論理値を読み出すステップ(c)とを含んでいる。

【0016】

この方法により、ステップ(b)では、常誘電体キャパシタに電圧を分配することなく、強誘電体キャパシタのみに第4の電圧を印加して強誘電体膜を十分に飽和させることができる。よって、書き込みの電圧を低くすることができ、不揮発性ラッチ回路を搭載した半導体集積回路の低電圧化を図ることができる。

【0017】

上記ステップ(a)、(b)及び(c)では、上記第1及び第3の電圧として0Vの電圧を印加することが好ましい。

上記ステップ(b)では、上記第4の電圧として、上記第2の電圧よりも高い電圧を印加することが好ましい。

【0018】

本発明の第3の不揮発性ラッチ回路の駆動方法は、第1の電極、第2の電極及び上記第1、第2の電極間に介在する強誘電体膜を有する強誘電体キャパシタと、上記強誘電体キャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するPMISFETと、上記強誘電体キ

ャパシタの上記第2の電極に接続されるゲート電極、ゲート絶縁膜、ソース領域及びドレイン領域を有するNMISFETと、上記強誘電体キャパシタの第1の電極に接続される第1の端子と、上記PMISFET及びNMISFETの各ドレイン領域に接続される第2の端子と、上記強誘電体キャパシタの上記第2の電極に信号を供給するための第3の端子と、上記強誘電体キャパシタの上記第2の電極と上記第3の端子との間に介設されたスイッチング素子とを備えている不揮発性ラッチ回路の駆動方法であって、上記第1及び第3の端子に第1の電圧を印加し、上記スイッチング素子をオンにした後第1の時間が経過したときに、上記スイッチング素子をオンにした状態で、上記第3の端子に上記第1の電圧よりも高い第3の電圧を印加し、その後、第2の時間が経過した後に上記スイッチング素子をオンにしたままで、上記第3の端子の電圧を上記第1の電圧に戻すことにより、上記第2の端子から出力される信号を高論理値とするように書き込むステップ(a)と、上記第1及び第3の端子に第3の電圧を印加し、上記スイッチング素子をオンにした後第4の時間が経過したときに、上記第1の端子に上記第3の電圧よりも高い第4の電圧を印加し、その後、第5の時間が経過したときに、上記第1の端子に上記第4の電圧を印加したままで、上記スイッチング素子をオフにすることにより、上記第2の端子から出力される信号を低論理値とするように書き込むステップ(b)と、上記第1及び第3の端子に上記第1の電圧を印加することにより、上記ステップ(a)又は(b)で書き込まれた論理値を読み出すステップ(c)とを含んでいる。

【0019】

この方法により、ステップ(b)では、常誘電体キャパシタに電圧を分配することなく、強誘電体キャパシタのみに第4の電圧を印加して強誘電体膜を十分に飽和させることができる。よって、書き込みの電圧を低くすることができ、不揮発性ラッチ回路を搭載した半導体集積回路の低電圧化を図ることができる。また、ステップ(a)では、高論理値の書き込み時において、低論理値の書き込み時の分極とは逆方向の分極を誘起させ、各MISFETのゲート電極に蓄積される電荷を除去するので、保持電圧を安定に保つことが可能となる。

【0020】

上記ステップ (a) , (b) 及び (c) では、上記第 1 及び第 3 の電圧として 0 V の電圧を印加することが好ましい。

【0 0 2 1】

上記ステップ (b) では、上記第 4 の電圧として、上記第 2 の電圧よりも高い電圧を印加することが好ましい。

【0 0 2 2】

【発明の実施の形態】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の不揮発性ラッチ回路の構成を示す電気回路図である。図 1 に示すように、本実施形態の不揮発性ラッチ回路 1 0 は、電源電圧 V_{dd} を供給する電源端子 T_{dd} と接地電圧 V_{ss} を供給する接地端子 T_{ss} との間に直列に接続された、PMISFET 3 及び NMISFET 4 からなるインバータ素子を備えている。PMISFET 3 は、基板領域 3 b と、基板領域 3 b 中のチャネル領域の上に設けられたゲート絶縁膜 3 i 及びゲート電極 3 g と、基板領域 3 b 中のチャネル領域の両側にそれぞれ形成されたソース領域 3 s (ソース領域) 及びドレイン領域 3 d (ドレイン領域) とを有している。NMISFET 4 は、基板領域 4 b と、基板領域 4 b 中のチャネル領域の上に設けられたゲート絶縁膜 4 i 及びゲート電極 4 g と、基板領域 4 b 中のチャネル領域の両側にそれぞれ形成されたソース領域 4 s (ソース領域) 及びドレイン領域 4 d (ドレイン領域) とを有している。本実施形態においては、PMISFET 3 のゲート電極 3 g と、NMISFET 4 のゲート電極 4 g とは、共通の導体膜 (本実施形態においては、ポリシリコン膜) によって一体的に構成されている。ただし、必ずしも一体的に形成する必要はない。

【0 0 2 3】

そして、PMISFET 3 のソース領域 3 s は電源端子 T_{dd} (第 1 の電源電圧供給端子) に接続され、NMISFET 4 のソース領域 4 s は接地端子 T_{ss} (第 2 の電源電圧供給端子) に接続され、PMISFET 3 のドレイン領域 3 d 及び NMISFET 4 のドレイン領域 4 d は、第 2 の端子である出力端子 T_{out} に接続されている。

【0024】

また、本実施形態の不揮発性ラッチ回路10は、第1、第2の電極1a、1bと、各電極1a、1b間に介設された強誘電体膜1cとからなる強誘電体キャパシタ1を備えている。強誘電体キャパシタ1の第1の電極1aは、第1の端子であるリセット端子Treに接続され、強誘電体キャパシタ1の第2の電極1bは、プラグ、配線等の導体部材を介して、PMISFET3のゲート電極3g及びNMISFET4のゲート電極4gに接続されている。2つのゲート電極3g、4gにより、PMISFET3及びNMISFET4に共通のフローティングゲートFGが構成されている。

【0025】

そして、フローティングゲートFGは、リセット用MISFET2を介して第3の端子である電圧切り換え用端子Tplに接続されており、リセット用MISFET2のゲートは、第3の端子であるセット端子Tseに接続されている。

【0026】

なお、本実施形態では、強誘電体キャパシタ1の強誘電体膜1cを構成する強誘電体材料として、タンタル酸ストロンチウムビスマス（ $Y1: SrBi_2Ta_2O_9$ ）を用いているが、本発明の強誘電体膜キャパシタの強誘電体膜の材料はこれに限定されるものではない。

【0027】

このような構成により、リセット端子Treに印加される電圧、セット端子Tseに印加される電圧と、各MISFET3、4の各基板領域3b、4bに印加される電圧との高低関係に応じて強誘電体キャパシタ1の強誘電体膜1cの分極状態を制御するとともに、強誘電体膜1cの分極状態に応じて、各MISFET3、4（インバータ）のオン・オフ状態、ひいては、出力端子Toutから出力される出力信号Soutの論理値を制御することが可能に構成されている。

【0028】

つまり、強誘電体膜1cの分極状態に応じて、出力信号Soutを高論理値“1”又は低論理値“0”に保持することが可能な不揮発性ラッチ回路10が構成されている。

【0029】

図2 (a), (b) は、それぞれ順に、第1の実施形態の不揮発性ラッチ回路10における強誘電体キャパシタ及び常誘電体キャパシタの直列構造を示す回路図、および強誘電体膜のヒステリシス特性を示す図である。図2 (a) に示すように、本実施形態のMFMI S構造は、MFM-MIM (Metal Ferroelectrics Metal-Metal Insulator Metal) 構造として表される。このMFM-MIM構造は、強誘電体キャパシタ1の各電極1a, 1b及び強誘電体膜1cと、2つのMISFET 3, 4中の各MISキャパシタ (ゲート電極3g, 4g, 基板領域3b, 4b及びゲート絶縁膜3i, 4i) とによって構成されている。つまり、MFM-MIM構造は、リセット端子Treと各MISFET 3, 4の各基板領域3b, 4bとの間に、強誘電体キャパシタと、2つのMISFETの各MISキャパシタとが直列に接続された構造である。図2 (a) においては、2つのMISFET 3, 4の各ゲート絶縁膜3i, 4iは1つのMISキャパシタ中の絶縁膜として表示されている。ここで、強誘電体キャパシタの容量をCfとし、常誘電体キャパシタ (MISキャパシタ) の容量をCcとする。

【0030】

ここで、リセット端子Treに、正の電圧Vppを印加し、各MISFETの基板領域3b, 4bを接地する。このとき、強誘電体キャパシタ1には電圧Vfが分配され、常誘電体キャパシタには電圧Vcが印加される。そして、各キャパシタには、印加された電圧に応じて、電荷Qf, Qcがそれぞれ誘起される。

【0031】

そして、強誘電体キャパシタの電荷Qfは、電圧Vfに応じて図2 (b) に示すようなヒステリシス特性を示す。ここでは、強誘電体膜1c内に電極1a側がプラスで電極1b側がマイナスの分極が生じている状態を正の分極と定義する。

【0032】

一方、常誘電体キャパシタの電荷Qcは、電圧Vcに応じて、下記式 (1)

$$\begin{aligned} Q_c &= C_c \cdot V_c \\ &= C_c (V_{pp} - V_f) \end{aligned} \quad (1)$$

で表される変化を示す。したがって、図2 (b) に示すように、式 (1) で表さ

れる直線とヒステリシス特性との交点 A が、このときの動作点である。

【0 0 3 3】

次に、リセット端子 Tse の電圧を 0 に戻す。このとき、常誘電体キャパシタにおける電荷 Q_c と分配電圧 V_c との関係は、式 (2)

$$\begin{aligned} Q_c &= C_c \cdot V_c \\ &= -C_c \cdot V_f \end{aligned} \quad (2)$$

で表される。したがって、図 2 (b) に示すように、式 (2) で表される直線とヒステリシス特性との交点である点 B が、このときの動作点である。

【0 0 3 4】

以上のように、強誘電体キャパシタの強誘電体膜 1 c に分極が保持されている状態においては、リセット端子 Tse の電圧が 0 V になると、強誘電体キャパシタ中の強誘電体膜 1 c には、 $-V_\alpha$ の電位が現れる。ここで、強誘電体膜 1 c の電圧は、第 1 の電極 1 a が正で第 2 の電極 1 b が負のときを正の電圧としているので、フローティングゲート FG の電位は、正の電位である保持電位 V_α になる。

【0 0 3 5】

図 3 (a), (b) は、それぞれ順に、第 1 の実施形態の不揮発性ラッチ回路 10 中のインバータ部分のみを抜き出して示す回路図、及び入力信号の電圧変化に対する出力信号の変化特性を示す図である。

【0 0 3 6】

ここでは、図 3 (a) に示すように、PMISFET 3 と NMISFET 4 とに共通のゲートであるフローティングゲート FG に入力信号 S_{in} が入力されたときに、出力端子 T_{out} から出力信号 S_{out} が出力されるものとする。図 3 (b) に示すように、入力信号 S_{in} の電圧が PMISFET 4 のしきい値電圧 V_{tp} 以下の範囲においては、出力信号 S_{out} は高論理値 1 であり、入力信号 S_{in} の電圧が NMISFET 4 のしきい値 V_{th} 以上の範囲においては、出力信号 S_{out} は低論理値 “0” になる。そして、入力信号 S_{in} の電圧が PMISFET 4 のしきい値電圧 V_{tp} を越えて NMISFET 4 のしきい値 V_{th} よりも低い範囲では、出力信号 S_{out} は高論理値 “1” から低論理値 “0” までの間の中間の値になる。このような特性は、一般的なインバータの入出力特性と同じである。

【0037】

そこで、本実施形態においては、フローティングゲートFGにおける保持電位 V_{α} が、インバータからの出力信号 S_{out} が低論理値“0”になるためのしきい値電圧 V_{tn} 以上になるように最適化している。

【0038】

そして、保持電位 V_{α} を大きくするためには、第1に、強誘電体キャパシタに十分大きな分極状態を予め与えておくことが効果的である。本実施形態においては、常誘電体キャパシタの容量 C_c が、互いに並列に接続されたPMISFET3及びNMISFET4のゲート絶縁膜 3_i 、 4_i の合計面積によって定まるので、従来のMFMISS構造に比べると、常誘電体キャパシタの容量 C_c が大きくなる。したがって、各MISFET3、4の各基板部 3_b 、 4_b とリセット端子 T_{re} との間に印加される電圧の強誘電体キャパシタへの分配比が、従来のMFMISS構造に比べると大きくなる。よって、保持電位 V_{α} を高くすることが容易であり、読み出しの精度の向上を図ることができる。

【0039】

なお、本実施形態では、強誘電体のヒステリシスの角型比を良好にしなければならない。本実施形態では、強誘電体膜 1_c を構成するタンタル酸ストロンチウムビスマス($Y1: SrBi_2Ta_2O_9$)の結晶性を向上させることにより、強誘電体のヒステリシスループの角型比を良好にしている。

【0040】

ー不揮発性ラッチ回路の駆動方法ー

図4(a)、(b)は、それぞれ順に、第1の実施形態における不揮発性ラッチ回路10の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧一分極特性図である。図4(a)において、期間①は高論理値“1”の書き込み期間を、期間②は高論理値“1”の読み出し期間を、期間③は低論理値“0”の書き込み期間を、期間④は低論理値“0”の読み出し期間をそれぞれ示している。なお、一般的には、NMISFET4の基板領域 4_b は接地電位 V_{ss} に、PMISFET3の基板領域 3_b は電源電圧 V_{dd} にそれぞれ保持されている。

【0041】

①高論理値“1”の書き込み期間

まず、図4（a）に示す期間①で、セット端子T_{se}に正の電圧V_{dd}を印加して、リセット用MISFET2をオン状態にする。これにより、フローティングゲートFGの電位が0Vになる。その結果、インバータの出力端子T_{out}からの出力信号S_{out}は“1”となる。

【0042】

このとき、強誘電体キャパシタに印加される電圧は0Vであり、分極量も0であるので、図4（b）に示す点0がこの期間①の動作点になる。

【0043】**②高論理値“1”の読み出し期間**

次に、図4（a）に示す期間②で、セット端子T_{se}の電圧を0Vに戻す。セット端子T_{se}の電圧を0Vにし、リセット用MISFET2をオフ状態にしても、リセット端子T_{re}の電圧が0Vであるので、フローティングゲートFGの電位は0Vのままである。したがって、出力信号S_{out}も高論理値“1”である。

【0044】

このとき、期間②におけるフローティングゲートFGの電位は期間①と同じであるので、期間①と同様に、図4（b）に示す点0が期間②の動作点となる。

【0045】**③低論理値“0”の書き込み期間**

次に、図4（a）に示す期間③で、リセット端子T_{re}の電圧を正の電圧V_{pp}とする。このとき、正の電圧V_{pp}は、強誘電体キャパシタ1と、各MISFET3、4の各MISキャパシタとの容量比に応じ、強誘電体キャパシタと常誘電体キャパシタ（MISキャパシタ）とにそれぞれ電圧V_f、V_{ox}が印加される。そのため、フローティングゲートFGの電位は正の電位V_{ox}になる。その正の電位V_{ox}は、NMISFET4のしきい値電圧V_{tn}以上であるため、インバータの出力信号S_{out}は低論理値“0”となる。

【0046】

このとき、電圧V_{pp}が強誘電体キャパシタと常誘電体キャパシタとに分配されて、強誘電体キャパシタ1に印加される電圧V_fが十分高くなると、強誘電体膜

1 c の分極は充分に飽和され、図 4 (b) に示す点 A が期間③の動作点になる。

【0047】

④低論理値“0”の読み出し期間

次に、図 4 (a) に示す期間④で、リセット端子 Tre の電圧を 0 V に戻す。前述したように、強誘電体キャパシタと 2 つの MISFET の各 MIS キャパシタとのカップリングにより、フローティングゲート FG には正の電位 V_{α} が保持されている。その保持電位 V_{α} は、NMISFET 4 のしきい値電圧 V_{tn} 以上であるため、インバータの出力信号 Sout は低論理値“0”となる。

【0048】

このとき、強誘電体キャパシタ 1 に保持される電圧は V_{α} であるため、図 4 (b) に示す点 B がこの期間④の動作点になる。

【0049】

以上のような駆動方法の動作を行なうことにより、本実施形態において、高論理値“1”及び低論理値“0”の書き込みおよび読み出しをそれぞれ実現することができる。したがって、強誘電体に電圧印加される回数が減少し、強誘電体特性の劣化を抑制することができる。しかも、本実施形態の駆動方法では、強誘電体キャパシタのヒステリシスループの上側（正の分極）のみを用いており、分極反転をしていない。したがって、強誘電体膜 1 c の疲労特性が良好になり、不揮発性ラッチ回路 10 の信頼性を向上することができる。

【0050】

さらに、本実施形態では、高論理値“1”，低論理値“0”の判別をインバータの出力電位によって検出することができるため、センスアンプによる検出より簡便になっている。

【0051】

なお、本実施形態では、強誘電体キャパシタの材料として Y1 を用いたが、分極においてヒステリシス特性を有する材料であれば他の強誘電体材料、例えば、チタン酸ビスマス、チタン酸鉛等を用いることができる。さらに、電荷の偏りを利用してデータ保持するポリフッ化ビニリデン三フッ化エチレン共重合体 (P (VDF/TrFE)) などの高分子化合物においても、本回路の動作が同様に得

られることは言うまでもない。

【0052】

(第2の実施形態)

図5(a), (b)は、それぞれ順に、本発明の第2の実施形態における不揮発性ラッチ回路10の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧-分極特性図である。図5(a)において、期間①は高論理値“1”の書き込み期間を、期間②は高論理値“1”の読み出し期間を、期間③は低論理値“0”の書き込み期間を、期間④は低論理値“0”の読み出し期間をそれぞれ示している。

【0053】

①高論理値“1”の書き込み期間

まず、図5(a)に示す期間①で、セット端子Tseに正の電圧Vddを印加して、リセット用MISFET2をオン状態にする。これにより、フローティングゲートFGの電位が0Vになる。その結果、インバータの出力端子Toutからの出力信号Soutは“1”となる。

【0054】

このとき、強誘電体キャパシタに印加される電圧は0Vであり、分極量も0であるので、図5(b)に示す点0がこの期間①の動作点になる。

【0055】

②高論理値“1”の読み出し期間

次に、図5(a)に示す期間②で、セット端子Tseの電圧を0Vに戻す。セット端子Tseの電圧を0Vにし、リセット用MISFET2をオフ状態にしても、リセット端子Treの電圧が0Vであるので、フローティングゲートFGの電位は0Vのままである。したがって、出力信号Soutも高論理値“1”である。

【0056】

このとき、期間②におけるフローティングゲートFGの電位は期間①と同じであるので、期間①と同様に、図5(b)に示す点0が期間②の動作点となる。

このとき、強誘電体キャパシタに印加される電圧は0Vであり、分極量も0であるので、図5(b)に示す①の点がこの期間の動作点になる。

【0057】

③低論理値“0”の書き込み期間

次に、図5（a）に示す期間③で、まず、セット端子Tseに正の電圧Vddを印加して、リセット用MISFET2をオン状態にする。これにより、フローティングゲートFGの電位が0Vになる。セット端子Tseに正の電圧Vddを印加した後時間t1が経過したときに、リセット端子Treの電圧を電圧Vddよりも高い正の電圧Vppとする。このとき、フローティングゲートFGの電位が0Vであるため、強誘電体キャパシタ1に印加される電圧はVppである。これは、第1の実施形態とは異なり、インバータのゲート絶縁膜に電圧が分配されないからである。リセット端子Treに正の電圧Vppを印加した後時間t2が経過したときに、セット端子Tseの電圧を0Vに戻す。そのため、フローティングゲートFGの電位は正の電位Voxになる。その正の電位Voxは、NMISFET4のしきい値電圧Vtn以上であるため、インバータの出力信号Soutは低論理値“0”となる。

【0058】

このとき、インバータのゲート絶縁膜に電圧が分配されないことから、強誘電体キャパシタ1に印加される電圧Vppが比較的低くても、強誘電体膜1cの分極は十分に飽和され、図5（b）に示す点A'が期間③の動作点になる。

【0059】

④低論理値“0”の読み出し期間

次に、図5（a）に示す期間④で、リセット端子Treの電圧を0Vに戻す。前述したように、強誘電体キャパシタと2つのMISFETの各MISキャパシタとのカップリングにより、フローティングゲートFGには正の電位Vαが保持されている。その保持電位Vαは、NMISFET4のしきい値電圧Vtn以上であるため、インバータの出力信号Soutは低論理値“0”となる。

【0060】

このとき、強誘電体キャパシタ1に保持される電圧はVαであるため、図5（b）に示す点Bがこの期間④の動作点になる。

【0061】

以上のような駆動方法の動作を行なうことにより、本実施形態において、高論

理値“1”及び低論理値“0”の書き込みおよび読み出しをそれぞれ実現することができる。したがって、強誘電体に電圧が印加される回数が減少し、強誘電体特性の劣化を抑制することができる。しかも、本実施形態の駆動方法では、強誘電体キャパシタのヒステリシスループの上側（正の分極）のみを用いており、分極反転をしていない。したがって、強誘電体膜1cの疲労特性が良好になり、不揮発性ラッチ回路10の信頼性を向上することができる。

【0062】

さらに、第1の実施形態とは異なり、強誘電体キャパシタ1に電圧 V_{pp} を印加する時、フローティングゲートFGの電位を0Vにしているため、つまり、常誘電体キャパシタに電圧が印加されないため、リセット端子Treに印加された電圧 V_{pp} がそのまま強誘電体膜1cに印加される。そのため、インバータの各MISキャパシタに電圧が分配されないため、第1の実施形態に比べて、書き込みの電圧を低くできる。

【0063】

（第3の実施形態）

図6（a）、（b）は、それぞれ順に、本発明の第3の実施形態における不揮発性ラッチ回路10の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧一分極特性図である。図6（a）において、期間①は高論理値“1”の書き込み期間を、期間②は高論理値“1”の読み出し期間を、期間③は低論理値“0”の書き込み期間を、期間④は低論理値“0”の読み出し期間をそれぞれ示している。

【0064】

① 高論理値“1”の書き込み期間

まず、図6（a）に示す期間①で、セット端子Tseに正の電圧 V_{dd} を印加して、リセット用MISFET2をオン状態にする。これにより、フローティングゲートFGの電位が0Vになる。

【0065】

次に、セット端子Tseに正の電圧 V_{dd} を印加した後から時間 t_3 が経過したときに、電圧切り換え用端子Tplの電圧を0Vから正の電圧 V_{pp} にする。リセット

端子Treの電圧は、はじめから0Vに保持されているので、強誘電体膜1cには、負の方向の分極が誘起される。電圧切り換え用端子Tplに正の電圧Vppを印加した時刻から時間t4が経過したときに、電圧切り換え用端子Tplの電位を0Vに戻す。これにより、フローティングゲートFGに蓄積された電荷をなくすことが可能となる。この期間では、フローティングゲートFGの電位は0Vであるため、インバータの出力信号Soutは高論理値“1”となる。

【0066】

このとき、強誘電体キャパシタに印加される電圧は0Vから-Vppに変化するので、この期間①の動作点は、図6(b)に示す点0から点Cへ移動する。

【0067】

②高論理値“1”の読み出し期間

次に、図6(a)に示す期間②で、セット端子Tseの電圧を0Vに戻す。セット端子Tseの電圧を0Vにし、リセット用MISFET2をオフ状態にしても、リセット端子Treの電圧が0Vであるので、フローティングゲートFGの電位は0Vのままである。したがって、出力信号Soutも高論理値“1”である。

【0068】

このとき、強誘電体キャパシタ1に印加される電圧は-Vppから0に変化するので、この期間②の動作点は、図6(b)に示す点Cから点Dへ移動する。

【0069】

③低論理値“0”の書き込み期間

次に、図6(a)に示す期間③で、まず、セット端子Tseに正の電圧Vddを印加して、リセット用MISFET2をオン状態にする。これにより、フローティングゲートFGの電位が0Vになる。セット端子Tseに正の電圧Vddを印加した後時間t5が経過したときに、リセット端子Treの電圧を正の電圧Vppとする。このとき、フローティングゲートFGの電位が0Vであるため、強誘電体キャパシタ1に印加される電圧はVppである。これは、第1の実施形態とは異なり、インバータのゲート絶縁膜に電圧が分配されないからである。リセット端子Treに正の電圧Vppを印加した後時間t6が経過したときに、セット端子Tseの電圧を0Vに戻す。そのため、フローティングゲートFGの電位は正の電位Voxになる

。その正の電位 V_{ox} は、NMISFET 4 のしきい値電圧 V_{tn} 以上であるため、インバータの出力信号 S_{out} は低論理値 “0” となる。

【0070】

このとき、強誘電体キャパシタ 1 に印加される電圧 V_{pp} は十分高くなるので、強誘電体膜 1 c の分極は十分に飽和され、図 6 (b) に示す点 E が期間③の動作点になる。

【0071】

④低論理値 “0” の読み出し期間

次に、図 6 (a) に示す期間④で、リセット端子 T_{re} の電圧を 0 V に戻す。前述したように、強誘電体キャパシタと 2 つの MISFET の各 MIS キャパシタとのカップリングにより、フローティングゲート FG には正の電位 V_{α} が保持されている。その保持電位 V_{α} は、NMISFET 4 のしきい値電圧 V_{tn} 以上であるため、インバータの出力信号 S_{out} は低論理値 “0” となる。

【0072】

このとき、強誘電体キャパシタ 1 に保持される電圧は V_{α} であるため、図 6 (b) に示す点 F がこの期間④の動作点になる。

【0073】

以上のような駆動方法の動作を行なうことにより、本実施形態において、高論理値 “1” 及び低論理値 “0” の書き込みおよび読み出しをそれぞれ実現することができる。したがって、強誘電体に電圧印加される回数が減少し、強誘電体特性の劣化を抑制することができる。

【0074】

さらに、第 1 の実施形態とは異なり、強誘電体キャパシタ 1 に電圧 V_{pp} を印加する時、フローティングゲート FG の電位を 0 V にしているため、リセット端子 T_{re} に印加された電圧 V_{pp} がそのまま強誘電体膜 1 c に印加される。そのため、インバータの各 MIS キャパシタに電圧が分配されないため、第 1 の実施形態に比べて、書き込みの電圧を低くできる。

【0075】

また、第 1 あるいは第 2 の実施形態と異なり、高論理値 “1” の書き込み時に

において、低論理値“0”の書き込み時の分極とは逆方向の分極を誘起させ、フローティングゲートFGに蓄積される電荷を除去するので、保持電圧を安定に保つことが可能となる。

【0076】

(第4の実施形態)

図7は、本発明の第4の実施形態の半導体集積回路の構成を示すブロック回路図である。

【0077】

同図に示すように、本実施形態の半導体集積回路は、上記第1、第2又は第3の実施形態の不揮発性ラッチ回路10と、多数のロジックトランジスタなどを集積してなる2つの論理ブロック11 (Logic block)、12とを備えている。2つの論理ブロック11、12は配線13によって互いに接続されており、配線13には、パストランジスタ14 (NMISFET) が介設されている。そして、不揮発性ラッチ回路10の出力信号Sout はパストランジスタ14のゲートに印加されており、不揮発性ラッチ回路10の出力信号Soutにより、パストランジスタ14のオン・オフが制御されるようになっている。

【0078】

ここで、本実施形態の特徴は、論理ブロック11、12間に介設されたパストランジスタ14のオン・オフが、不揮発性ラッチ回路10の出力信号Sout によって制御されるので、半導体集積回路全体の電源を切断した後、電源を復帰させたときに、不揮発性ラッチ回路10の出力信号Sout の論理値が電源の切断直前の状態のまま維持されることである。

【0079】

すなわち、電源の切断直前において不揮発性ラッチ回路10の出力信号Sout が低論理値“0”であった場合には、電源の復帰後も、不揮発性ラッチ回路10の出力信号Sout が低論理値“0”であり、論理ブロック11、12間に信号は伝達されない。一方、電源の切断直前において不揮発性ラッチ回路10の出力信号Sout が高論理値“1”であった場合には、電源の復帰後も、不揮発性ラッチ回路10の出力信号Sout が高論理値“1”であり、論理ブロック11、12間

に信号が伝達される。したがって、消費電力の低減と回路動作の高速化とを図ることができる。

【0080】

本実施形態の半導体集積回路は、リコンフィギュラブル回路への応用が可能である。リコンフィギュラブル回路とは、半導体集積回路（L S I）の製造後においても回路の仕様の変更を伴う書き換えを可能にする回路である。つまり、回路設計から動作確認までの期間を短縮することができ、動作確認を回路設計に短期間かつ容易に反映することが可能となる。その一例として、F P G A（Filed Programmable Gate Array）がある。F P G Aは、プログラム素子として、マルチプレクサやルックアップテーブルを用いて論理を切り換えるのに用いられる。また、F P G Aには、プログラムを格納する素子として、E P R O M又はE E P R O Mを用いたR A Mタイプ、F u s eまたはA n t i - F u s eを用いた高速タイプのものがある。近年は、書き換え可能で高速なS R A M型ラッチ回路を用いたものを使用されている。従来のS R A M型ラッチ回路では、電源が投入されている間、出力をある値に保持し、書き換えをすることが可能であるが、電源を切った場合、揮発性のため情報を保持することはできない。また、少なくとも5個のトランジスタを使用しているため面積が大きい。また、従来のS R A MベースのF P G Aでは、電源切断の前にS R A M型ラッチ回路の記憶情報をE E P R O M等の不揮発性記憶回路に伝達し、電源復帰時に不揮発性記憶回路から各S R A M型ラッチ回路に記憶情報を伝達していた。そのため、電源復帰後において、S R A M型ラッチ回路の電源切断前の状態への復帰が遅いという難点があった。

【0081】

それに対し、本実施形態のラッチ回路においては、各ラッチ回路が不揮発性を有しているため、電源切断後に電源を復帰したときに、別の記憶回路から記憶情報を伝達する必要がないため、電源投入後におけるラッチ回路の復帰は速いという利点がある。

【0082】

－第4の実施形態の変形例－

図8は、第2の実施形態の変形例に係る半導体集積回路の構成を示すブロック

回路図である。同図に示すように、本変形例の半導体集積回路は、上記第1、第2又は第3の実施形態の不揮発性ラッチ回路10と、論理ブロック15と、他の論理ブロックやメモリ回路（いずれも図示せず）に接続される多数の配線16と、論理ブロック15と各配線16とを接続するための分岐配線17と、各分岐配線17に介設されたパストランジスタ18とを備えている。そして、不揮発性ラッチ回路10の出力信号Soutは、各パストランジスタ18のゲートに印加されており、不揮発性ラッチ回路10の出力信号Soutにより、パストランジスタ18のオン・オフが制御されるようになっている。

【0083】

このように、メモリのデコーダ回路のように、論理ブロック15からの出力信号が供給される配線の切換が可能に構成された半導体集積回路に、不揮発性ラッチ回路10を適用することにより、半導体集積回路全体の電源を切断した後、電源を復帰させたときに、不揮発性ラッチ回路10の出力信号Soutの論理値が電源の切断直前の状態のまま維持することができ、よって、消費電力の低減と回路動作の高速化とを図ることができる。

【0084】

（第5の実施形態）

図9は、本発明の第5の実施形態における半導体集積回路の構成を示すブロック回路図である。同図に示すように、本実施形態の半導体集積回路は、4入力型のマルチプレクサ回路であって、4つの入力端子Tin1～Tin4と、1つの出力端子Tout'とを備え、2段のセレクト回路30A、30Bによって、各入力端子Tin1～Tin4の入力信号のうちいずれか1つを選択して出力端子Tout'から出力するように構成されている。前段のセレクト回路30Aには、第1、第2又は第3の実施形態の不揮発性ラッチ回路10Aと、各入力端子Tin1～Tin4の入力信号をそれぞれ受ける4つのパストランジスタ20A～20Dと、不揮発性ラッチ回路10Aの出力を反転するためのインバータ21とが配置されている。そして、2つの入力端子Tin1、Tin2の入力を受ける2つのパストランジスタ20A、20Bのうち一方のパストランジスタ20Aのゲートは、不揮発性ラッチ回路10Aの出力信号Soutを受け、2つのパストランジスタ20A、20Bの

うち他方のパストランジスタ 20B のゲートは、インバータ 21 を介して出力信号 Sout の反転信号を受ける。また、2つの入力端子 Tin3, Tin4 の入力を受ける2つのパストランジスタ 20C, 20D のうち一方のパストランジスタ 20C のゲートは、不揮発性ラッチ回路 10A の出力信号 Sout を受け、2つのパストランジスタ 20C, 20D のうち他方のパストランジスタ 20D のゲートは、インバータ 21 を介して出力信号 Sout の反転信号を受ける。

【0085】

後段のセレクト回路 30B には、第1, 第2又は第3の実施形態の不揮発性ラッチ回路 10B と、各パストランジスタ 20A, 20B からの出力を受けるパストランジスタ 22A と、各パストランジスタ 20C, 20D からの出力を受けるパストランジスタ 22B と、不揮発性ラッチ回路 10B の出力を反転するためのインバータ 23 とが配置されている。そして、2つのパストランジスタ 22A, 22B のうち一方のパストランジスタ 22A のゲートは、不揮発性ラッチ回路 10B の出力信号 Sout を受け、2つのパストランジスタ 22A, 22B のうち他方のパストランジスタ 22B のゲートは、インバータ 23 を介して出力信号 Sout の反転信号を受ける。

【0086】

本実施形態においても、マルチプレクサ回路の入出力関係が、不揮発性ラッチ回路 10A, 10B の出力信号 Sout によって制御され、半導体集積回路全体の電源を切断した後、電源を復帰させたときに、不揮発性ラッチ回路 10A, 10B の出力信号 Sout の論理値が電源の切断直前の状態のまま維持される。したがって、消費電力の低減と回路動作の高速化とを図ることができる。

【0087】

(第6の実施形態)

図10は、本発明の第6の実施形態における半導体集積回路の構成を示すブロック回路図である。同図に示すように、本実施形態の半導体集積回路は、2入力型のルックアップテーブル回路であって、2つの入力端子 Tin1, Tin2 と、第1, 第2又は第3の実施形態の構成を有する4つの不揮発性ラッチ回路 10A ~ 10D と、1つの出力端子 Tout' とを備え、2段のセレクト回路 31A, 31B

によって、各不揮発性ラッチ回路 1 0 A ~ 1 0 D の出力信号 Sout1 ~ Sout4 のうちいずれか 1 つを選択して出力端子 T_{out}' から出力するように構成されている。前段のセレクト回路 3 1 A には、各不揮発性ラッチ回路 1 0 A ~ 1 0 D の出力信号 Sout1 ~ Sout4 をそれぞれ受ける 4 つのパストランジスタ 2 5 A ~ 2 5 D と、入力端子 T_{in}1 からの入力信号を反転するためのインバータ 2 4 とが配置されている。そして、2 つの不揮発性ラッチ回路 1 0 A, 1 0 B の出力信号 Sout1, Sout2 を受ける 2 つのパストランジスタ 2 5 A, 2 5 B のうち一方のパストランジスタ 2 5 A のゲートは、入力端子 T_{in}1 からの入力信号を受け、2 つのパストランジスタ 2 5 A, 2 5 B のうち他方のパストランジスタ 2 5 B のゲートは、インバータ 2 4 を介して入力信号の反転信号を受ける。また、2 つの不揮発性ラッチ回路 1 0 C, 1 0 D の出力信号 Sout3, Sout4 を受ける 2 つのパストランジスタ 2 5 C, 2 5 D のうち一方のパストランジスタ 2 5 C のゲートは、入力端子 T_{in}1 からの入力信号を受け、2 つのパストランジスタ 2 5 C, 2 5 D のうち他方のパストランジスタ 2 5 D のゲートは、インバータ 2 4 を介して入力信号の反転信号を受ける。

【0088】

後段のセレクト回路 3 1 B には、入力端子 T_{in}2 と、各パストランジスタ 2 5 A, 2 5 B からの出力を受けるパストランジスタ 2 7 A と、各パストランジスタ 2 5 C, 2 5 D からの出力を受けるパストランジスタ 2 7 B と、入力端子 T_{in}2 からの入力信号を反転するためのインバータ 2 6 とが配置されている。そして、2 つのパストランジスタ 2 7 A, 2 7 B のうち一方のパストランジスタ 2 7 A のゲートは、入力端子 T_{in}2 からの入力信号を受け、2 つのパストランジスタ 2 7 A, 2 7 B のうち他方のパストランジスタ 2 7 B のゲートは、インバータ 2 6 を介して入力信号の反転信号を受ける。

【0089】

本実施形態のルックアップテーブル回路においては、不揮発性ラッチ回路 1 0 A ~ 1 0 D の出力信号 Sout1 ~ Sout4 によって、1 6 種類のブール代数の論理の切換が可能である。そして、半導体集積回路全体の電源を切断した後、電源を復帰させたときに、不揮発性ラッチ回路 1 0 A, 1 0 B の出力信号 Sout の論理値

が電源の切断直前の状態のまま維持されるので、ルックアップテーブル回路の切断直前の記憶情報がそのまま保持されている。したがって、第 4，第 5 の実施形態と同様に、消費電力の低減と回路動作の高速化とを図ることができる。

【0 0 9 0】

【発明の効果】

本発明の不揮発性ラッチ回路及びその駆動方法により、強誘電体膜の疲労の抑制，低電圧化などを図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の不揮発性ラッチ回路の構成を示す電気回路図である。

【図 2】

(a)，(b) は、それぞれ順に、第 1 の実施形態の不揮発性ラッチ回路における強誘電体キャパシタ及び常誘電体キャパシタの直列構造を示す回路図、および強誘電体膜のヒステリシス特性を示す図である。

【図 3】

(a)，(b) は、それぞれ順に、第 1 の実施形態の不揮発性ラッチ回路中のインバータ部分のみを抜き出して示す回路図、及び入力信号の電圧変化に対する出力信号の変化特性を示す図である。

【図 4】

(a)，(b) は、それぞれ順に、第 1 の実施形態における不揮発性ラッチ回路の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧一分極特性図である。

【図 5】

(a)，(b) は、それぞれ順に、本発明の第 2 の実施形態における不揮発性ラッチ回路の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧一分極特性図である。

【図 6】

(a)，(b) は、それぞれ順に、本発明の第 3 の実施形態における不揮発性

ラッチ回路の駆動方法を示すタイミングチャート、及び強誘電体膜の電圧一分極特性図である。

【図 7】

本発明の第 4 の実施形態の半導体集積回路の構成を示すブロック回路図である。

【図 8】

第 2 の実施形態の変形例に係る半導体集積回路の構成を示すブロック回路図である。

【図 9】

本発明の第 5 の実施形態における半導体集積回路の構成を示すブロック回路図である。

【図 1 0】

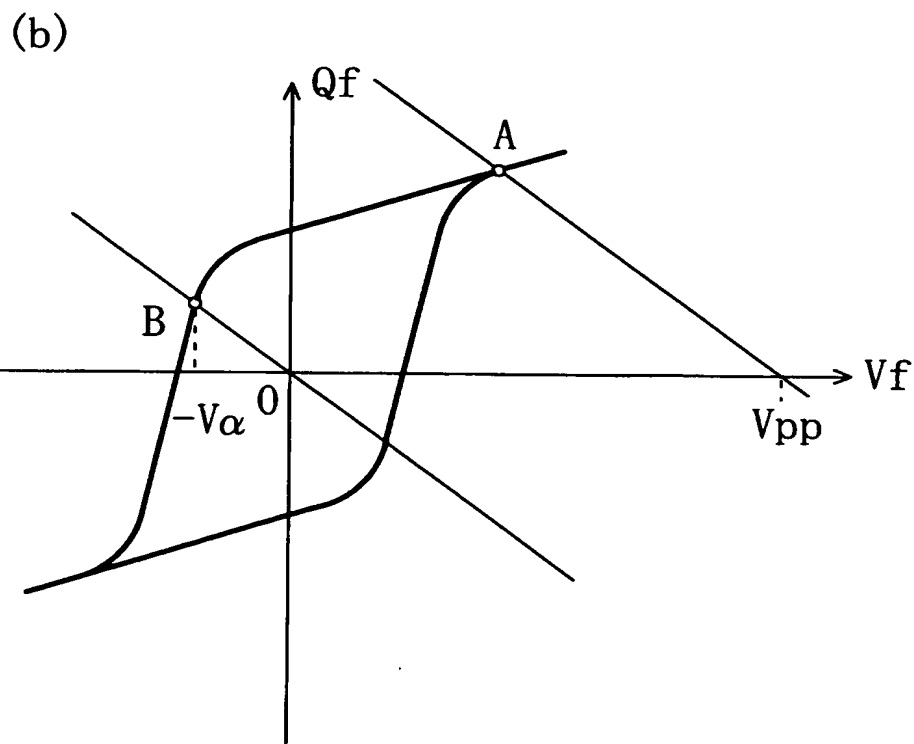
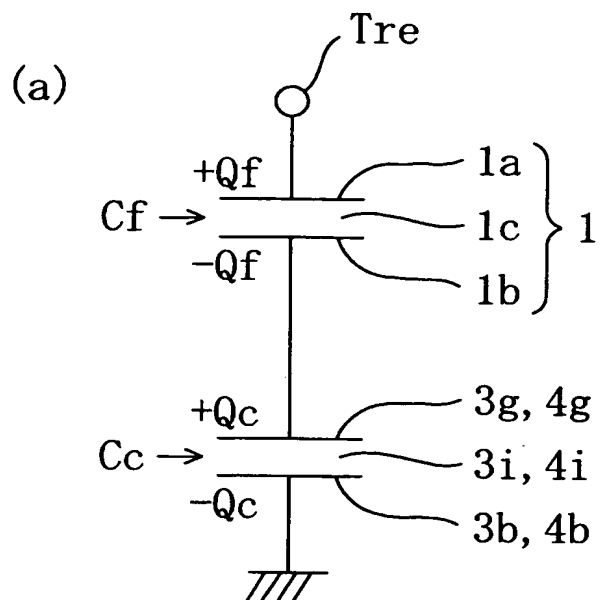
本発明の第 6 の実施形態における半導体集積回路の構成を示すブロック回路図である。

【符号の説明】

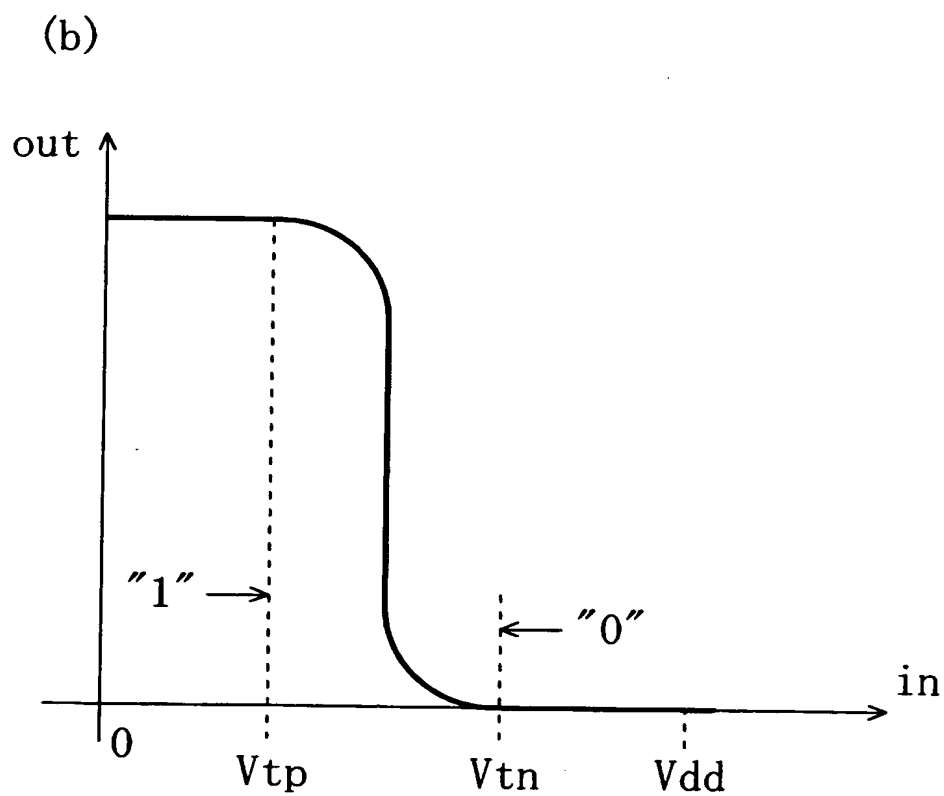
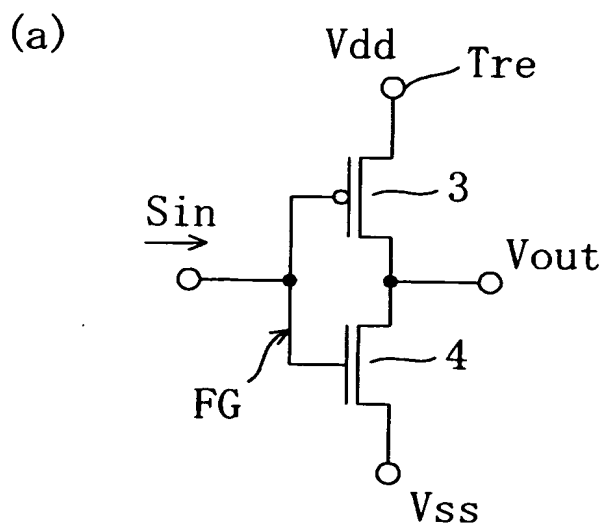
- 1 強誘電体キャパシタ
- 1 a 第 1 の電極
- 1 b 第 2 の電極
- 1 c 強誘電体膜
- 2 リセット用 M I S F E T
- 3 P M I S F E T
- 3 i ゲート絶縁膜
- 3 g ゲート電極
- 3 s ソース領域（ソース領域）
- 3 d ドレイン領域（ドレイン領域）
- 3 b 基板領域
- 4 N M I S F E T
- 4 i ゲート絶縁膜
- 4 g ゲート電極

4 s ソース領域 (ソース領域)
4 d ドレイン領域 (ドレイン領域)
4 b 基板領域
1 0 不揮発性ラッチ回路
Tre リセット端子 (第 1 の端子)
Tout 出力端子 (第 2 の端子)
Tpl 電圧切り換え用端子 (第 3 の端子)
Tse セット端子 (第 4 の端子)
Tdd 電源端子
Tss 接地端子

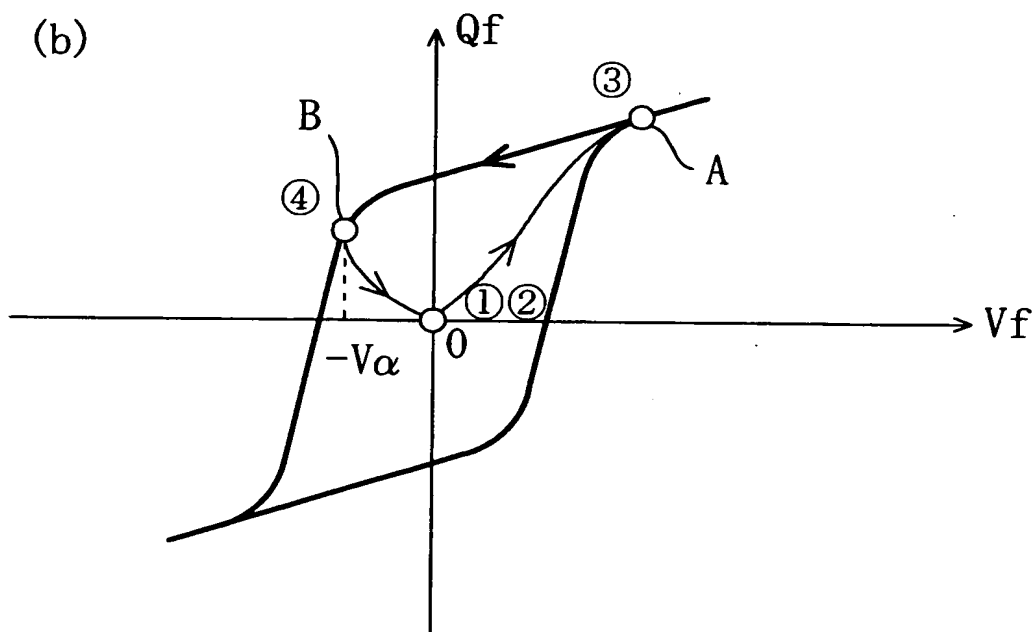
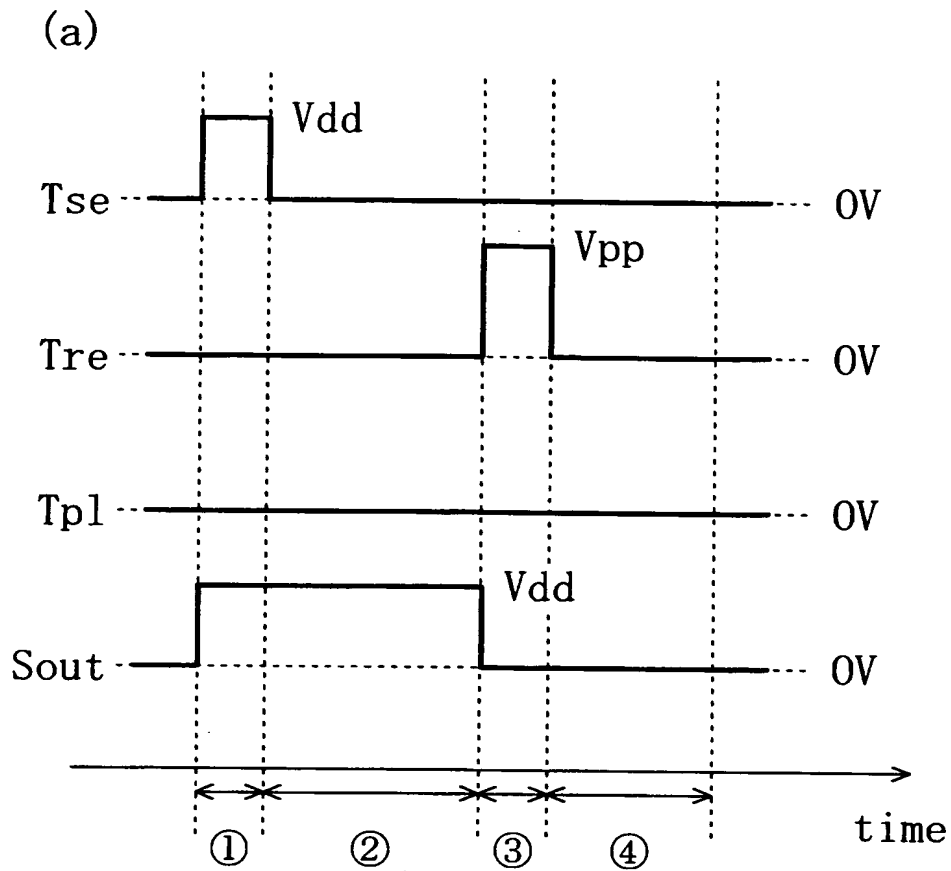
【図 2】



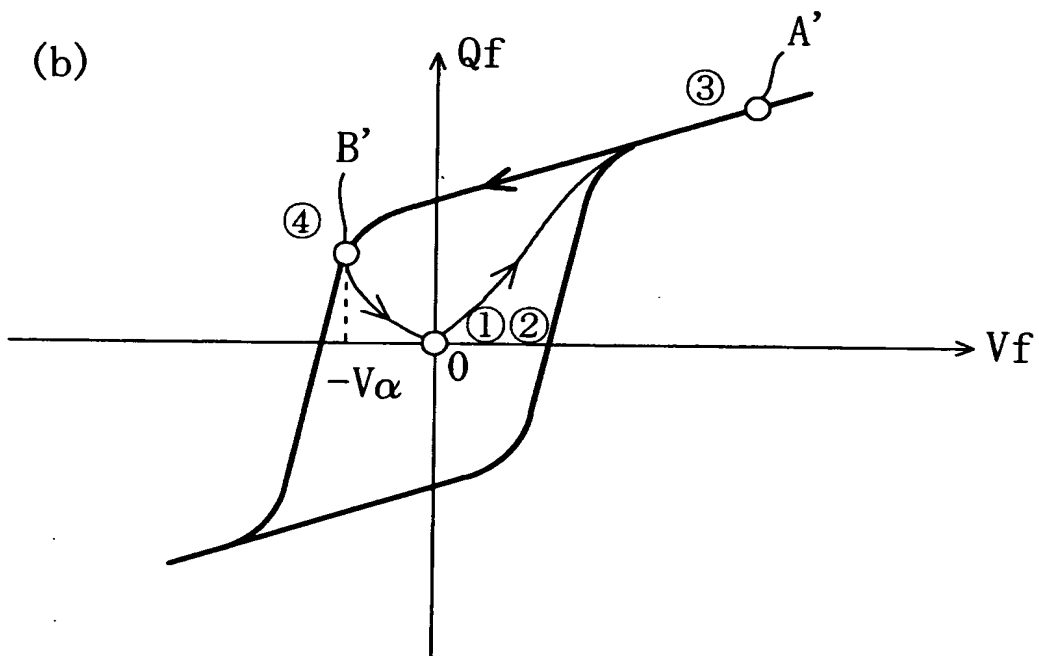
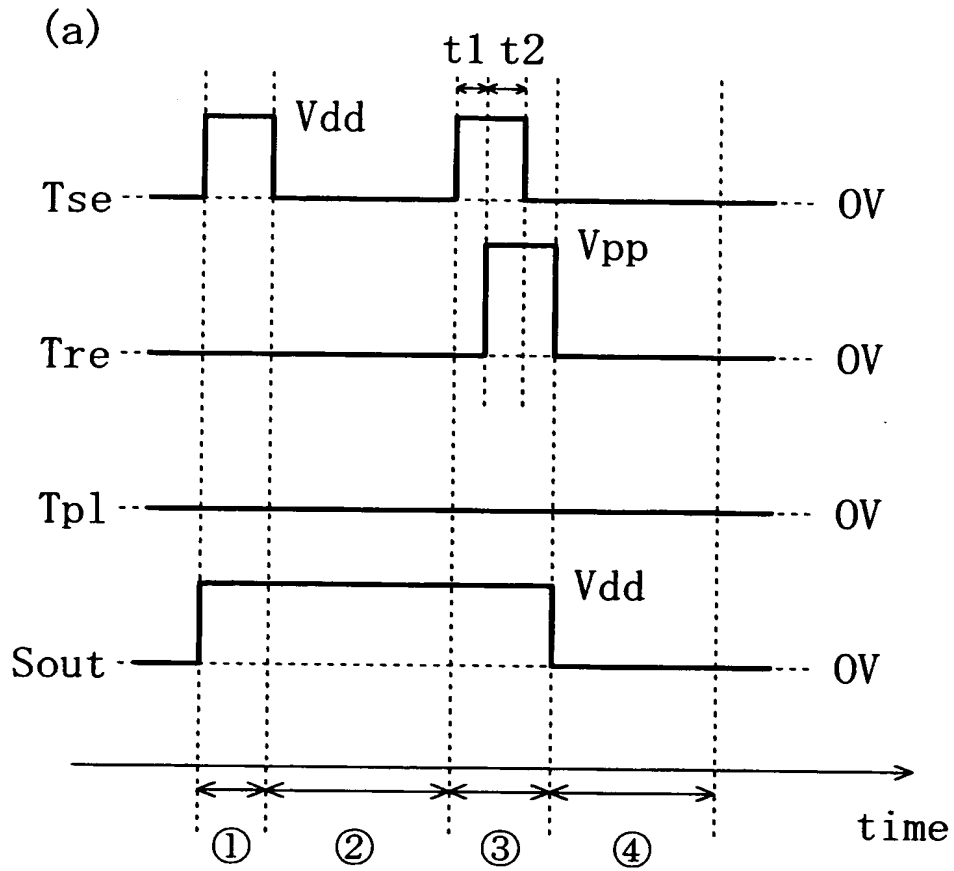
【図 3】



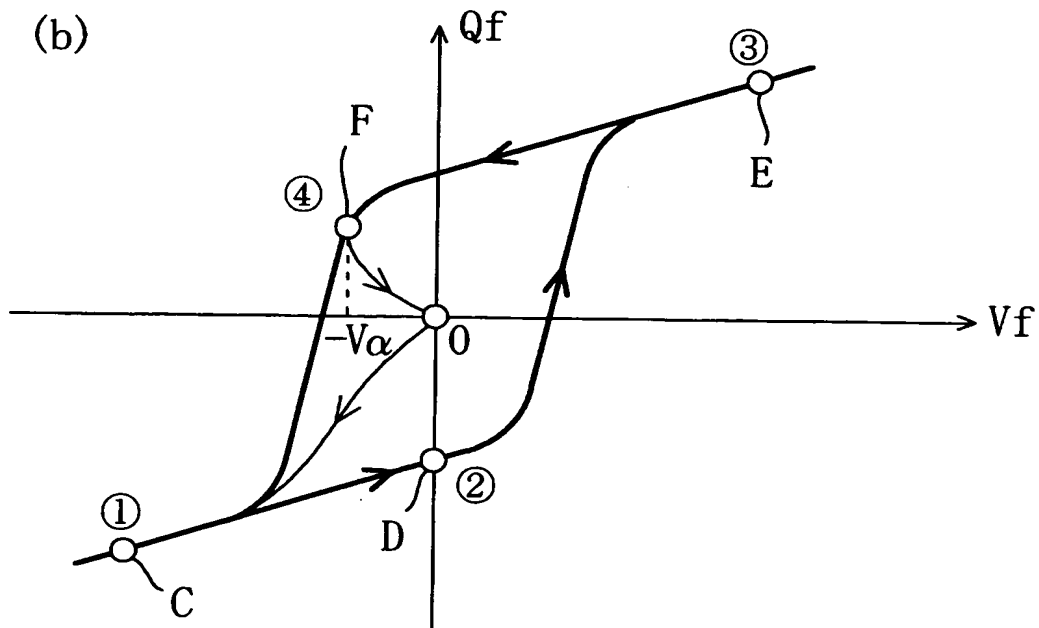
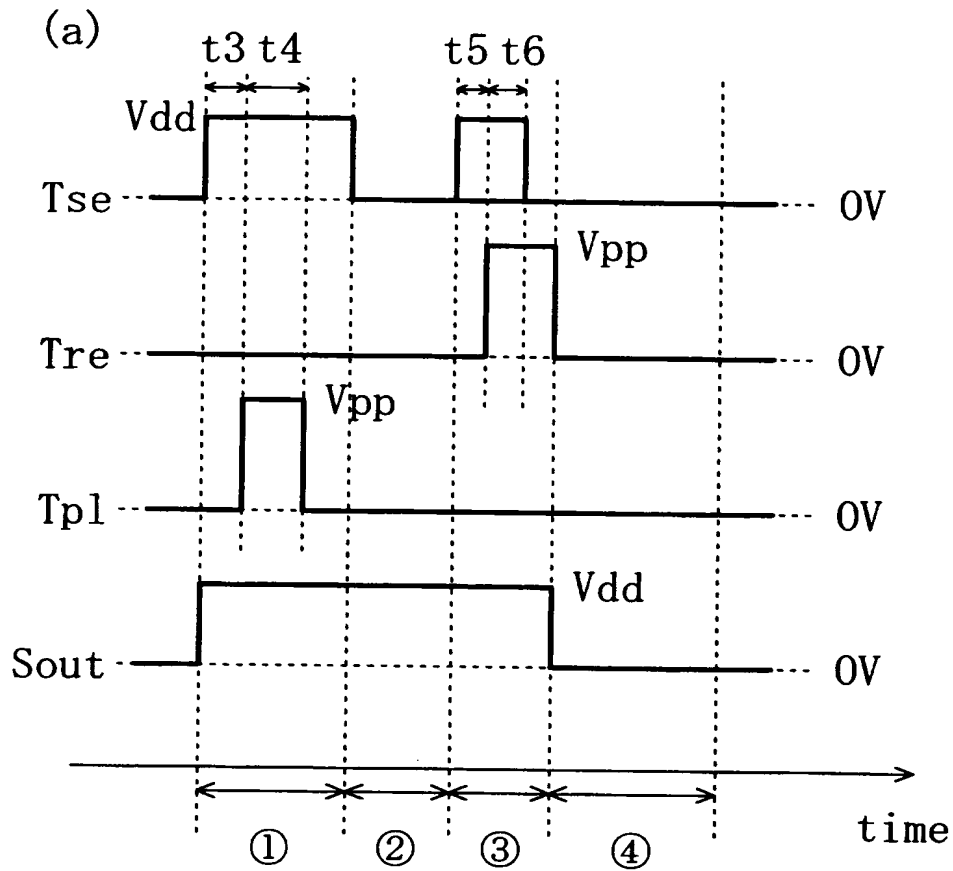
【図 4】



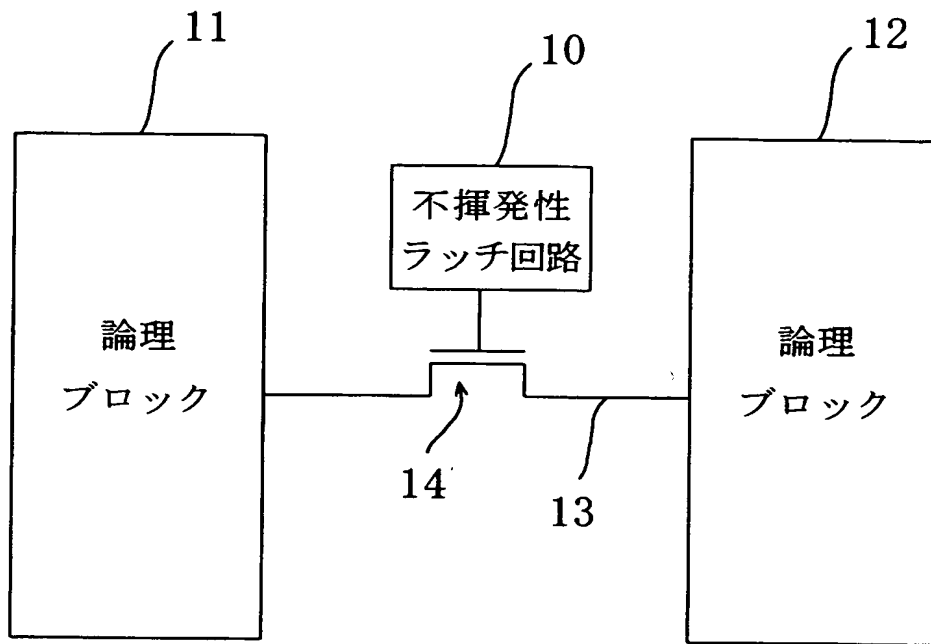
【図 5】



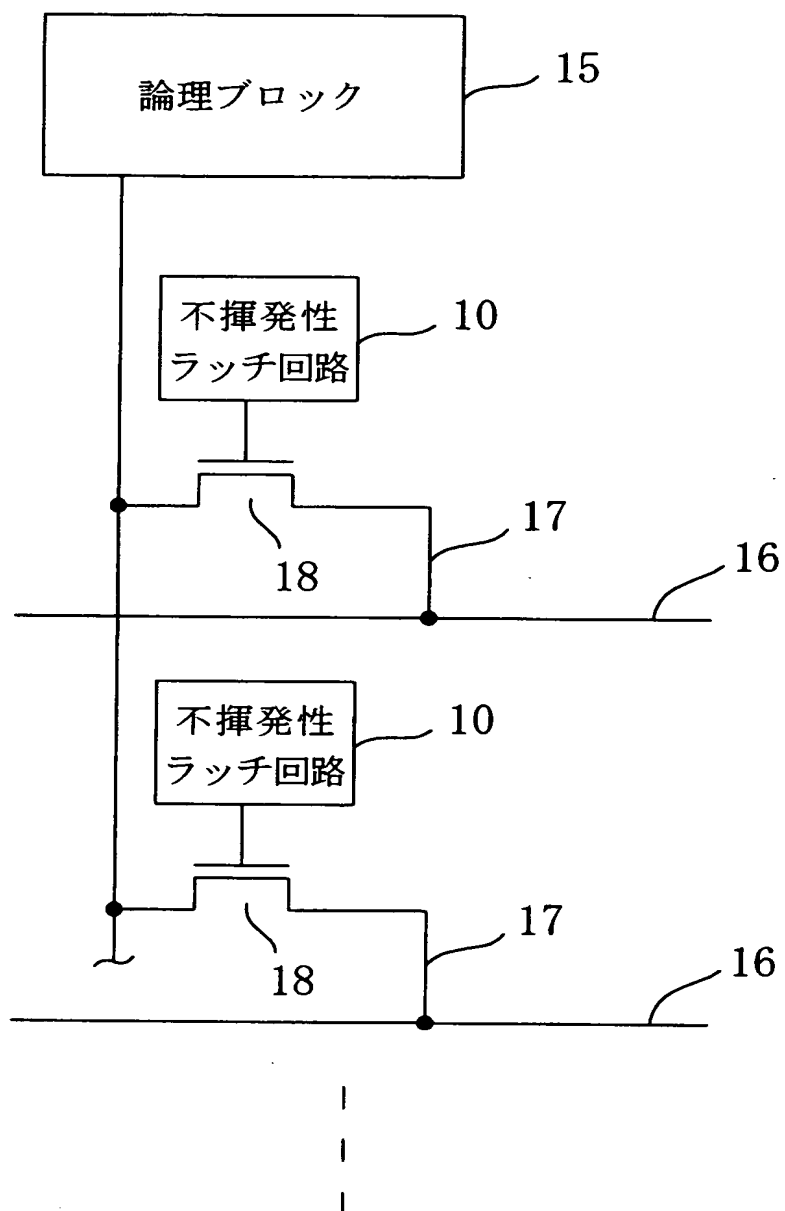
【図 6】



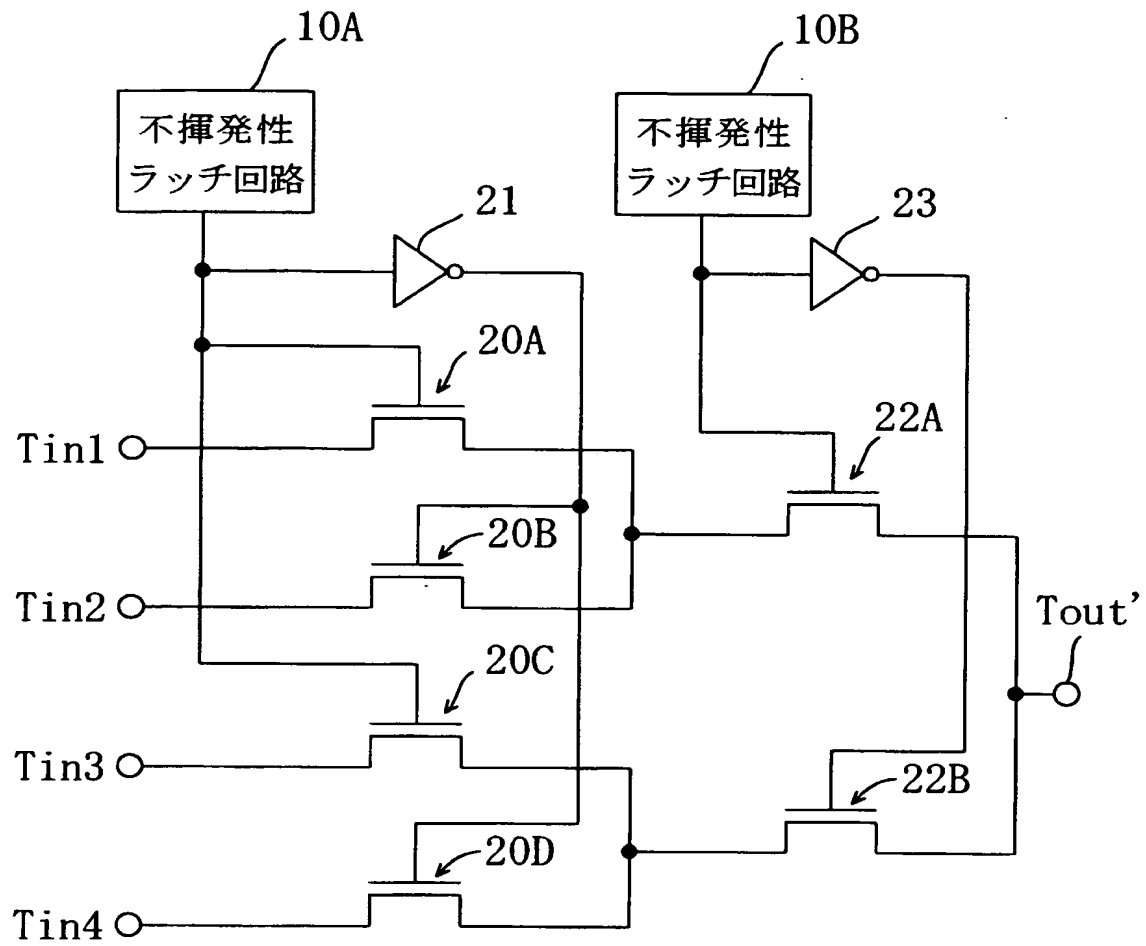
【図 7】



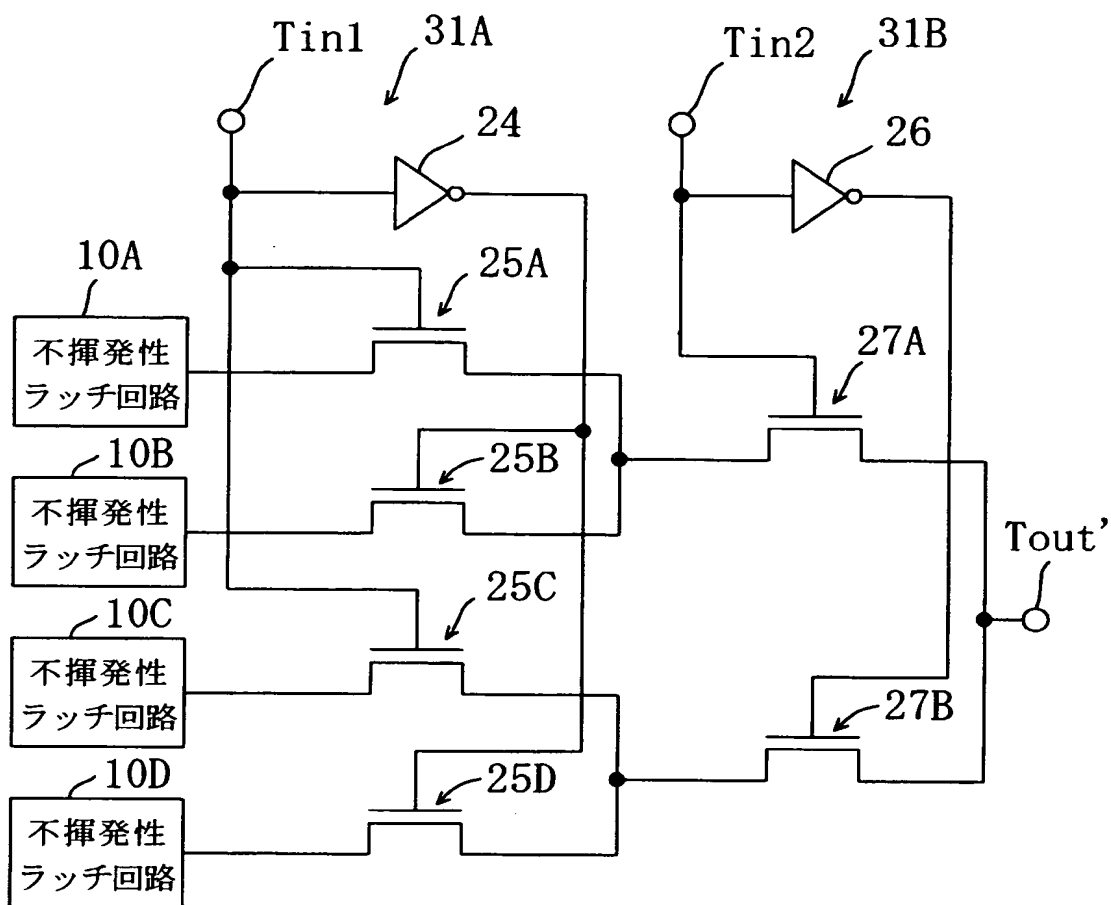
【図 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【目的】 強誘電体を利用した、記憶保持機能の高い不揮発性ラッチ回路およびその駆動方法を提供する。

【構成】 不揮発性ラッチ回路 10 は、PMISFET 3 及び NMISFET 4 (インバータ) と、強誘電体キャパシタ 1 と、リセット用 MISFET 2 とを備えている。各 MISFET 3, 4 のドレイン領域出力端子 Tout に、強誘電体キャパシタ 1 の第 1 の電極 1 a はリセット端子 Tre に、第 2 の電極 1 b は、各 MISFET 3, 4 ゲート電極にそれぞれ接続され、共通のフローティングゲート FG が構成されている。フローティングゲート FG は、リセット用 MISFET 2 を介して電圧切り換え用端子 Tpl に接続されており、リセット用 MISFET 2 のゲートはセット端子 Tse に接続されている。

【選択図】 図 1

特願 2 0 0 2 - 3 7 4 4 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社